

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DOCUMENT 2/2
DOCUMENT NUMBER
@: unavailable

DETAIL JAPANESE

1. JP,07-073700,A(1995)
2. JP,10-125092,A(1998)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-125092

(43)Date of publication of application : 15.05.1998

(51)Int.Cl. G11C 29/00
G01R 31/28

(21)Application number : 08-279260 (71)Applicant : ADVANTEST CORP

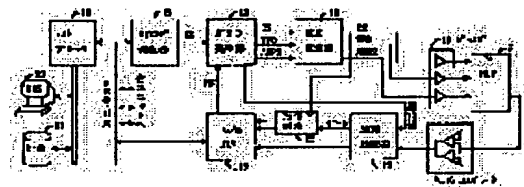
(22)Date of filing : 22.10.1996 (72)Inventor : SEKINE KUNIYOSHI

(54) FLASH MEMORY TESTER

(57)Abstract:

PROBLEM TO BE SOLVED: To analyze and display a distribution state by judging whether a flash memory is defective or not and measuring number of times of data writing for each address until the writing is successful.

SOLUTION: An address signal, test pattern signal and control signal are respectively given from a test processor 11, timing generator 12 and a pattern generator 13 and a drier 15. Its response signal is compared with an expected value by a logic comparator 17 via a comparator 16, and match or mismatch is detected. Number of times of writing till the match is measured by a fail counter 22, and stored in a fail memory 18. When measurements of all the addresses are finished, information of the memory 18 is transferred to a DISK, analyzed by a previously prepared display processing program, and a distribution state of number of times of writing is displayed in various format on X-Y coordinates axes on a display unit.



LEGAL STATUS

[Date of request for examination] 06.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BACK NEXT

MENU SEARCH

HELP

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-125092

(43) 公開日 平成10年(1998) 5月15日

(51) Int.Cl.⁶

G 1 1 C 29/00

G 0 1 R 31/28

識別記号

6 5 3

F I

G 1 1 C 29/00

G 0 1 R 31/28

6 5 3

B

H

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願平8-279260

(22) 出願日 平成 8 年(1996)10月22日

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 関根 邦芳

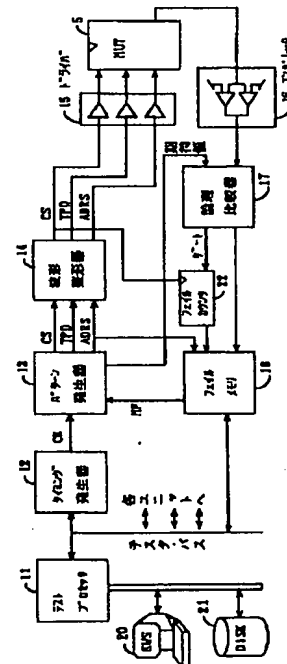
東京都練馬区旭町1丁目32番1号 株式会
社アドバンテスト内

(54) 【発明の名称】 フラッシュメモリ試験装置

(57) 【要約】

【課題】 フラッシュメモリの良否を判定するとともに、アドレス毎のデータ書き込み成功までの回数を計測し、その分布状況を解析して表示する試験装置。

【解決手段】 テストプロセッサとタイミング発生器とパターン発生器とドライバとでアドレス信号と試験パターン信号と制御信号とをMUTに与え、その応答信号をコンパレータを経て論理比較器で期待値と比較して一致・不一致を検出する。この一致するまでの書き込み回数をフェイルカウンタで計測しフェイルメモリに記憶させる。全アドレスの計測が終了するとフェイルメモリの情報をDISKに転送し、予め準備している表示処理プログラムによって解析し、表示器にX、Y座標軸上で書き込み回数の分布状況を種々な形式で表示する構成とする。



【特許請求の範囲】

【請求項1】 試験装置を制御するテストプロセッサ(11)とタイミング発生器(12)とパターン発生器(13)と波形整形器(14)とドライバ(15)とコンパレータ(16)と論理比較器(17)とフェイルメモリ(18)とワーク・ステーションEWS(20)と大容量記憶器DISK(21)とを有する半導体試験装置において、被試験デバイスMUT(5)の同一アドレスでの書き込み成功までの回数を計数し、その計数値をフェイルメモリ(18)に格納させるフェイルカウンタ(22)と、上記フェイルメモリ(18)の測定データに基づき、上記MUT(5)のウェハ単位若しくはチップ単位で各アドレス毎の書き込み成功までの回数を表示するEWS(20)と、を具備することを特徴とするフラッシュメモリ試験装置。

【請求項2】 半導体試験装置を使用して被試験デバイスのウェハ単位あるいはチップ単位あるいは所定メモリセルに対するフラッシュメモリのばらつき解析において、当該メモリセルが書き込み成功する迄の書き込み回数を計数するフェイルカウンタ(22)と、該フェイルカウンタ(22)が計数した書き込み回数データ値を当該メモリセルに対応するフェイルメモリ(18)位置に格納する格納手段と、前記測定を測定対象セルに対して実施し、前記で得たフェイルメモリ(18)の書き込み回数データを読み出し、演算処理してばらつきを表示する演算表示手段と、以上を具備していることを特徴とするフラッシュメモリ試験装置。

【請求項3】 表示はウェハマップ形態で表示、あるいはばらつきリスト形態で表示、あるいはチップセル座標形態で表示することを特徴とする請求項1、請求項2記載のフラッシュメモリ試験装置。

【請求項4】 表示は書き込み成功までの回数を数値で表示、あるいは色別で表示、あるいは棒グラフ表示、あるいは表層グラフ表示とする請求項1、請求項2記載のフラッシュメモリ試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はフラッシュメモリ(Flash Memory)の良否を判定すると共に、フラッシュメモリのアドレス毎のデータ書き込み成功までの回数を測定し、演算処理し、その分布状況を解析して表示するフラッシュメモリ試験装置に関する。

【0002】

【従来の技術】フラッシュメモリとは、書き換え可能な読み出し専用メモリであるPROMのうち、電氣的に全

ビット内容を又はブロック単位で消去し、再書き込みができる不揮発性のメモリICである。つまり、大容量であり、多数回の書き換え可能な不揮発性メモリで、データの読み出しモード、書き込みモード(プログラム・モード)、書き込みベリファイ・モード(プログラム・ベリファイ・モード)、消去モード、その他一連の動作モードが備わっている。これらの動作はメモリ内部のコントローラに外部からのそれぞれ特定のコマンドをライトイネーブル(WE)信号により書き込むことにより制御される。フラッシュメモリはこのコマンドを入力する端子として専用端子は持たず、データ端子と共用しており、そのデータとコマンドの切替は例えば特定の電源端子の電圧を変えることにより行っている。この明細書では、書き込み動作に関し詳細に説明するが、消去動作についても同様である。

【0003】ところで、フラッシュメモリはその構造上、各アドレスでの書き込みにおいて1回の書き込み動作でデータ書き込みが成功するとは限らない。そこで、通常は複数回書き込み動作を繰り返す必要がある。書き込みに成功するまでの回数(以下「書き込み回数」ともいう)は被試験フラッシュメモリ(以下「MUT」という)の種類や同種のMUTであってもアドレス毎に相違している。更にフラッシュメモリは既にデータの書き込みに成功しているアドレスについては再書き込みを行ってはならない仕様とされている。そしてデータの書き込み試験は、例えば25回という規定回数以内で全てのアドレスのメモリセルにデータを書き込みができた場合にこのMUTの書き込み試験は良品と判断する。

【0004】図4に従来のフラッシュメモリ試験装置の概略図を示す。EWS(ワーク・ステーション)10からの指示により、テストプロセッサ11は装置全体の制御を行い、テスト・バスにより各ユニットと制御信号やデータ信号等の授受を行う。タイミング発生器12は装置のタイミングを取るためにクロック・タイミング信号を発生してパターン発生器13、波形整形器14や論理比較器17等に与えられテストのタイミングを取る。パターン発生器13はMUT5に与える制御信号CS例えばWE(ライトイネーブル)信号、試験パターン信号TPD、アドレス信号ADRSや、論理比較器17に与える期待値パターンや、フェイルメモリ18に与えるアドレス信号等を発生させる。

【0005】波形整形器14はパターン発生器13からの3種の論理信号をテスト信号波形に整形し、ドライバ15を経てMUT5に一連のテスト信号を与える。MUT5からの応答信号は、コンパレータ16で電圧比較され、その結果の論理信号を論理比較器17に与える。論理比較器17ではコンパレータ16からの試験結果パターンとパターン発生器13からの期待値パターンとを論理比較して一致・不一致が検出され、フェイルメモリ18に結果信号を伝送する。フェイルメモリ18は、一致

つまりマッチしたアドレスにはWEの禁止信号/WE信号を波形整形器14に与えてそのアドレスの再書き込み試験を以後禁止し、その他のアドレスにRETRYの規定回数あるいは一致まで書き込み試験を続行する。途中で全アドレスがPASS(一致:マッチ)するとMF(マッチ・フラッグ)信号をパターン発生器13に与えて終了し、又は最大規定回数まで試験を行うと終了し、次の試験項目に移行する。この書き込み試験結果をフェイルメモリ18は記憶し、MUT5の良否判定を行う。【0006】EWS10では、全アドレスに規定回数までの書き込み試験を行った後に、フェイルメモリ18の内容をテスト・バス、テストプロセッサ11を経て、読み出す。この読み出されたフェイルメモリ18の情報に基づき、表示器に不良情報を表示する。図示していないが、例えばビットマップ表示で、不良情報を各アドレス毎、あるいは各ビット毎に良・不良の表示を行う。一例として、アドレス毎に良の部分空白とし、不良の部分にはFを表示した良・不良マップがある。

【0007】図5はフラッシュメモリの書き込み試験の手順を説明する図である。図4を加味して説明する。図5(A)は、波形整形器14からMUT5に与えられる3つの信号であり、(a)のアドレス信号ADRSでMUT5のアドレスが指定される。(b)の制御信号CSにはWE(ライト・イネーブル)信号が送られ、WEがローのときにアクティブ(書き込み可能)としている。(c)の試験パターン信号TPDには、データ信号が伝送され、初めにプログラム・セットアップ・モードのコマンドを送りプログラム・モードに設定する。次に、データを伝送して(a)のアドレスにデータを書き込む。次に、この書き込みデータを保持したままプログラム・ベリファイ・モードにし、メモリ内部のコントローラはデータを読み出して書き込みデータつまり期待値データとの比較を行う。一致しない場合にはMUT5からプログラム・フェイル信号が出力されるので、このアドレスについては書き込みは失敗(フェイル)と判定される。全アドレスについて、この一連の動作を繰り返し実行する。

【0008】図5(B)は上記の書き込み試験の流れ図である。通常、1回の書き込み試験だけで全アドレスについてパスするとは限りないので、2回目以降の試験においても同様のアドレス・シーケンスにより複数回に亘って試験を行う。又、フラッシュメモリでは既にデータの書き込みに成功しているアドレスについては再書き込みを行ってはならない仕様とされている。そこで、前回までの試験結果を格納しているフェイルメモリ18を参照して、既にパスしているアドレスについては波形整形器14に/WE信号を送り、MUT5へのWE信号を禁止している。

【0009】図5(B)について簡単に説明する。書き込み試験の開始に当たり、S1ステップでRETRYを

1にセットし、S2ステップでADDRESSを0にセットする。次にPROGRAM済み(S3)、つまり書き込み済みかを判断し、noであれば書き込みPROGRAM(S4)、読み出しデータと期待値データ比較のVERIFY(S5)を行う。S3でyesであればフェイルメモリ18からの信号でWEをマスクセットし再書き込み動作を禁止する。次にアドレスが最大かを判定し(S7)、途中であればアドレス番号を+1(S8)して繰り返す。最大であると、全ての書き込みが終了したかを判定し(S9)、noの場合にはRETRYが規定値かを判断し(S10)、達していない場合にはRETRYを+1(S11)して繰り返す。書き込み終了又はRETRYがMAXになると、EWS10はフェイルメモリ18のデータを読み出し(S12)、全てのデータがPASSしているかを判断し(S13)、yesは良品とし、noは不良品としていた。

【0010】

【発明が解決しようとする課題】フラッシュメモリの良否判断については従来の試験装置で充分である。しかしながら、フラッシュメモリは書き換え可能な読み出し専用メモリであるので寿命があり、データの書き換え可能回数が有限であり、しかもバラツキがある。そこでこの書き込み/消去サイクルの書き換え可能回数を予測できると有益であり、この書き換え可能回数を更に多くできるとこのフラッシュメモリの価値は益々増大する。

【0011】このデータの書き換え可能回数を左右する原因の一つには、製造プロセスにおける加工の均一性にあることがわかってきた。この発明は、この原因を追究し、フラッシュメモリのウェハ段階で若しくはチップ段階で個々のアドレスにおける書き込みが成功するまでの書き込み回数を計測し、演算処理してその分布状況をX、Y座標軸面に表示して把握し、その分布状況が均一になるように製造プロセスに還元して、書き込み回数の均一性を実現せんとするものである。

【0012】フラッシュメモリの書き込みが成功するまでの書き込み回数の均一性は、製造プロセスにおける加工の均一性と相関し、この均一性から実用上の最小書き込み/消去サイクルを予測することもでき、更にフラッシュメモリの寿命も伸ばすことが可能と考えられる。つまり、この発明はフラッシュメモリの良否を判定する同時に、製造プロセスにおける加工の均一性の判断をし、更に寿命の延長を示唆するデータを提供するフラッシュメモリ試験装置である。

【0013】

【課題を解決するための手段】上記目的を達成するためにこの発明は先ず計測の手順として、初めにアドレスを0にして各アドレス毎に書き込みが成功するまで書き込み動作を繰り返し、Verify OK、つまり書き込みが成功するまで又は規定書き込み回数までの書き込み回数を計測し、その回数をフェイルメモリにメモリし、

続いてアドレスを+1して試験を繰り返す。この計測を最大アドレスまで、つまり全アドレスで繰り返し、フェイルメモリに各アドレス毎の書き込み回数を記憶させる。そして各アドレスでの書き込み回数計測の高速化のために、アドレス毎に指定の始めから終了までゲートを開き、書き込み回数を計数するフェイルカウンタを設ける。

【0014】全アドレスまでの書き込み動作が終了すると、フェイルアドレスにメモリされた全アドレスの情報をテスト・バス及びテストプロセッサを経て大容量記憶器のDISKに転送する。DISKには既に上述のフェイル情報を処理する各種のプログラムと各種のファイルが準備されており、CPU（電算機）を内蔵するワーク・ステーションEWSと協同して、フェイルアドレスの情報が転送されるとEWSのCPUは直ちに解析処理を行う。

【0015】解析処理は、被試験フェイルメモリMUTがウェハの場合にはブロック毎やチップ毎あるいはアドレス毎に書き込み回数を表示する処理を行い、MUTがチップの場合にはアドレス毎やビット毎に表示する処理演算を行う。処理演算したデータはEWSの指示により、例えば各アドレス毎の書き込み回数が数字により、模様により、あるいは色別により表示器に表示するようにする。X、Y座標面に表示すると理解しやすい。更に、実験データの積み重ねによる予測より、実用上の書き込み/消去サイクル予測を表示することもできる。勿論、この書き込み回数の表示判断は、直ちに製造行程に反映し、製造プロセスの改善の示唆を行うことができる。

【0016】

【発明の実施の形態】発明の実施の形態を実施例に基づき図面を参照して説明する。図1にこの発明の一実施例の構成図を、図2にワーク・ステーションEWS20の表示器に表示される一例の表示図を、図3にこの発明の動作の一例の流れ図を示す。図4の構成と対応する部分には同一符号を付す。

【0017】先ず動作の流れ図である図3について説明する。この動作では、必ずアドレス毎に書き込みが成功するまで、若しくは最大規定回数まで書き込み動作を行い、書き込み回数をカウンタで計測してフェイルメモリ18に記憶させた後に、次のアドレス番号を変更して書き込み動作を続行させ、この動作を全アドレスについて実行する。計測の開始により、始めにS20ステップでアドレスADDに0をセットし、続いてS21でカウンタCONTに1をセットする。その後に書き込み動作に入り、S22のwrite programでデータを書き込み、S23のdata readで書き込んだデータを読み出し、S24のverify OK?で書き込みデータと読み出しデータの一致・不一致を照合する。

【0018】不一致であればS25でカウンタ値が最大

規定値であるかを判断し、noであるとS26でカウンタ値を+1し、再びS22の書き込み動作を繰り返す。S24のverify OK?あるいはS25のCONT=MAX?がyesであるとS27でそのカウンタ値をフェイルメモリ18に記憶させる。次にS28でアドレスが最大値か否かを判断し、noであるとS29でアドレス値を+1し、再びS21でカウンタ値を1にセットし、次のアドレスでの書き込み動作を繰り返す。全アドレスの書き込み試験が終るとS28でyesとなるので書き込み動作試験は終了し、その後データの情報処理動作に移り、その後にアドレス毎の試験結果がEWSなどの表示器に表示される。

【0019】図1は上述の動作を行わせるこの発明の一実施例の構成図である。図4の説明と重複する部分は簡略して説明する。この試験装置を制御するテストプロセッサ11と、この装置の全体のタイミングを取るタイミング発生器12と、被試験デバイスMUT5に供給するアドレス信号ADRSと試験パターン信号TPDと制御信号CSの他に期待値信号を発生するパターン発生器13と、このパターン発生器13からのADRS、TPD及びCSの各信号を波形整形器14でテスト信号波形に整形し、ドライバ15を経てMUT5に与え、MUT5の応答信号をコンパレータ16を経て論理比較器17に与える。

【0020】論理比較器17はMUT5からの応答信号とパターン発生器13からの期待値信号とを論理比較して一致・不一致を検出してフェイルメモリ18に伝送する。不一致のときには、パターン発生器13から同一アドレスに再び試験パターン信号TPDと制御信号CSとをMUT5に伝送し、一致するまで又は最大規定回数まで書き込み動作を繰り返すと同時に、フェイルカウンタ22は書き込み回数を計数する。

【0021】フェイルカウンタはプログラムによってCPUで行ってもよいが、高速動作を行うにはフェイルカウンタ22を設けた方がよい。フェイルカウンタ22は同一アドレスで1回目の書き込み開始からverify OK、つまり一致するまで若しくは最大規定回数までゲートを開き、この間の書き込み回数を計数する。ゲート信号は、図1では論理比較器17から得ているが、パターン発生器13またはフェイルメモリ18から得てもよい。カウントパルスも、図1では波形整形器14からの制御信号CSを計数するようにしているが、論理比較器17の不一致パルスと最後の一致パルスを計測してもよいし、パターン発生器のwrite programの発生数を計数してもよい。要は同一アドレスでの書き込み回数を計数できるとよい。このフェイルカウンタ22の計数値をフェイルメモリ18に伝送して、アドレス値と共に記憶する。

【0022】フェイルメモリ18は論理比較器17から一致信号を受けると、パターン発生器13にマッチフラ

ックMF信号を伝送し、パターン発生器13ではアドレス値を+1し、あるいは任意の値に変更して必要な範囲のアドレスのテストを行う。全アドレス若しくは測定する範囲のアドレスでのテストが終了すると、フェイルメモリ18に記憶しているデータをデータベース及びテストプロセッサ11を経て大容量記憶器DISK21に転送する。

【0023】DISK21には、予め、表示処理を行う少なくとも1つ以上の処理プログラムがメモリされてお

り、フェイルメモリ18に記憶しているデータが転送されると直ちにあるいはワーク・ステーションEWS20からの指示により、EWS20のCPUと協同して処理を開始する。DISK21に準備されている処理プログラムの1例を表1に示す。この他に、複数アドレス間で書き込み成功までの回数の最大値、最小値及び平均値を求める演算プログラムも準備されている。

【0024】

【表1】

	プログラム	動作
1	条件設定プログラム	条件設定データファイルの作成
2	デバイステストプログラム	マップ管理ファイル、論理配置リトライデータファイルの作成
3	リトライデータイメージ変換処理プログラム	対象リトライデータファイルをイメージ変換
4	リトライマップ出力プログラム	表示器にリトライマップを表示
5	マップファイル情報表示処理プログラム	マップ管理ファイル、論理配置リトライデータファイルの情報を表示

【0025】先ず始めに、①条件設定プログラムの起動で条件設定データ・ファイルの作成を行う。次に、②デバイステストプログラムの起動でマップ管理ファイルや論理配置リトライデータファイルの作成を行う。次にフェイルメモリ18からの情報が転送されると、③リトライデータイメージ変換処理プログラムが稼働し、対象リトライデータファイルをイメージ変換する。次に、④リトライマップ出力プログラムが稼働し、表示器にリトライマップを表示し、⑤マップファイル情報表示処理プログラムが稼働し、マップ管理ファイルや論理配置リトライデータファイルの情報を上記のリトライマップの上に表示する。

【0026】この表示の一例を図2に示す。図2(A)はMUT5としてウェハをテストしたウェハマップ形態の表示例である。書き込み回数の区分を複数個設定して、その回数に入っている分布状況をX、Y座標上にアドレス毎、複数アドレスの部分毎あるいはチップ毎に模様や記号や色で表示できる。3次元の棒グラフで表示してもよい。図2(B)はウェハにおける各チップ毎のチップ番号、書き込みの最大回数、最小回数、平均回数を表にして表示したばらつきリスト形態例である。図2(C)は各チップに着目して、チップのX、Y座標上にアドレス毎の書き込み回数を表示したチップセル座標形態例である。

【0027】上述のように表示図面には、回数値そのものの、模様や色別に変換したもの、棒グラフや表層グラフで表示したもの等各種あるが、要はX、Y座標面で書き込み回数の分布状況や均一性が一目瞭然に解るのが望ましい。この分布状況により実用上のデータの書き込み/消去サイクルの寿命を予測して、上記の表示器に表示してもよい。更に書き込み回数が均一になるように製造プ

ロセスを改善するとよい。

【0028】上記実施の形態では図1に示すフェイルカウンタ22とフェイルメモリ18が別の構成要素の場合で説明していたが、所望によりフェイルメモリ18内のメモリデータを直接累積加算する演算制御手段で構成しても良い。

【0029】上記実施の形態では全アドレス若しくは測定する範囲のアドレスでのばらつき解析形態で説明していたが、所望により短時間で全ウェハあるいは1チップ上のばらつき解析試験において、所定メモリセルをサンプル的に測定実施する手法としても良い。即ち、メモリセル配置がほぼ等間隔位置にあるメモリセルを所望メモリセル間隔単位で間引き測定をして分布状況を表示する。このときメモリセルのアドレスの物理配列が、例えば不良セル救済用のメモリ救済回路を有して異なっている場合や、メモリブロック配置が異なる場合は、セルの物理配置関係を正規化する為に従来技術であるアドレス・スクランブラ機能を利用して実施することは言うまでもない。この間引きの一例としては、メモリアドレスを偶数アドレスのみ測定するとか、2のN乗単位の中の1アドレスを測定する手法とか、所望メモリブロック単位中の1アドレス数（あるいは所望複数アドレス数）を測定する手法とかである。これは数μm程度の隣接するメモリセル間では統計的なばらつきが殆ど生じないものと見なした解析手法である。この間引き測定手法では膨大なデータ収集量が大幅に軽減でき、かつ実用的で高速なばらつき解析測定ができる利点が見られる。

【0030】

【発明の効果】以上詳細に説明したように、この発明はフラッシュメモリICの各アドレスへのデータの書き込み成功までの回数を計数し、その計測データを加工処理

して、ウェハ単位あるいはチップ単位で書き込み成功までの回数の分布状況をX、Y座標軸上で理解し易いように表示した。この分布状況は製造プロセスの加工の均一性に相関しており、又、書き込み成功までの回数の均一性はフラッシュメモリICの書き込み/消去サイクルの寿命にも相関しており、その寿命を予測することもできる。

【0031】更に、フラッシュメモリの製造プロセスの加工方法に還元して、更なる均一性の向上を目指すことにより、更なる寿命の延長を図ることができる。よって、この発明は技術的に大なる効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例の構成図である。

【図2】本発明のEWS20の表示器に表示するMUTの各アドレス毎の書き込み回数を示す一表示例の表示図である。

【図3】図1の構成例における動作の一例の流れ図である。

る。

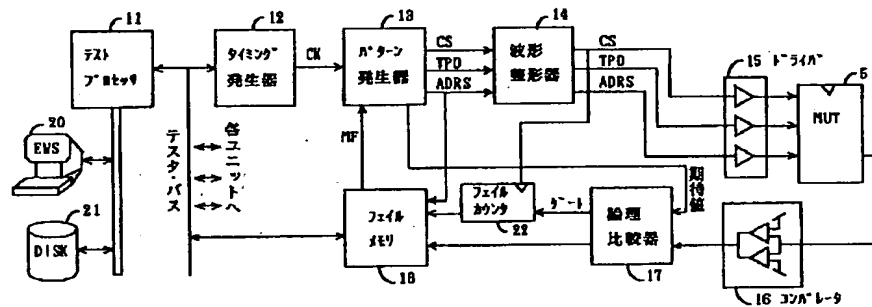
【図4】従来例の構成図である。

【図5】図4の例における動作の従来の流れ図である。

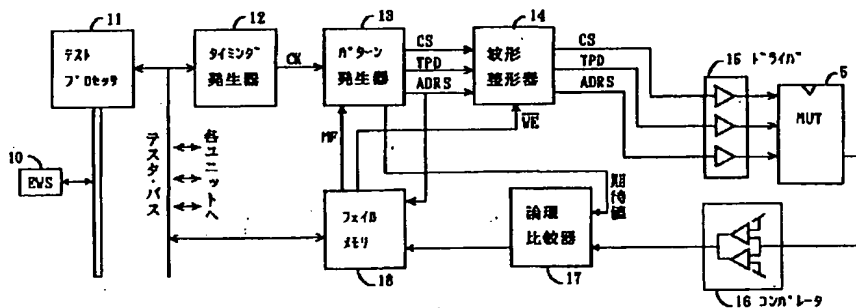
【符号の説明】

- 5 MUT (被試験フラッシュメモリ)
- 10、20 EWS (ワーク・ステーション)
- 11 テストプロセッサ
- 12 タイミング発生器
- 13 パターン発生器
- 14 波形整形器
- 15 ドライバ
- 16 コンパレータ
- 17 論理比較器
- 18 フェイルメモリ
- 21 DISK (大容量記憶器)
- 22 フェイルカウンタ

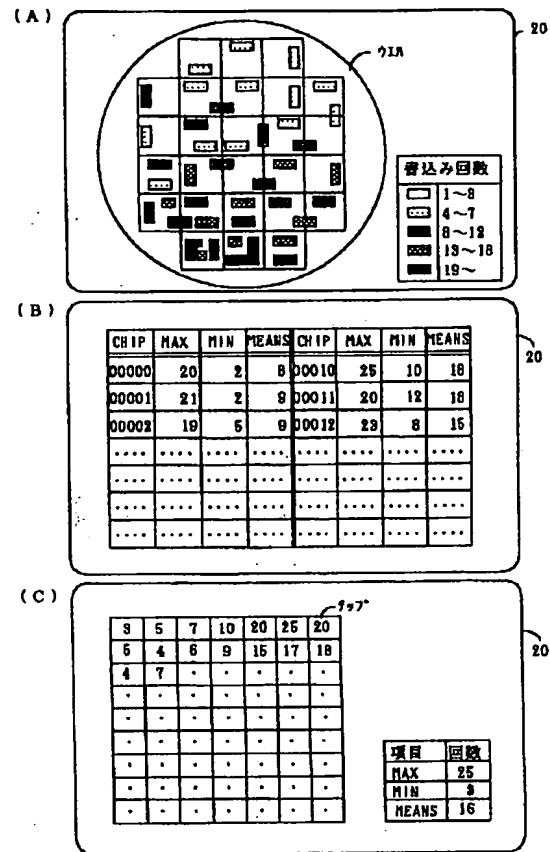
【図1】



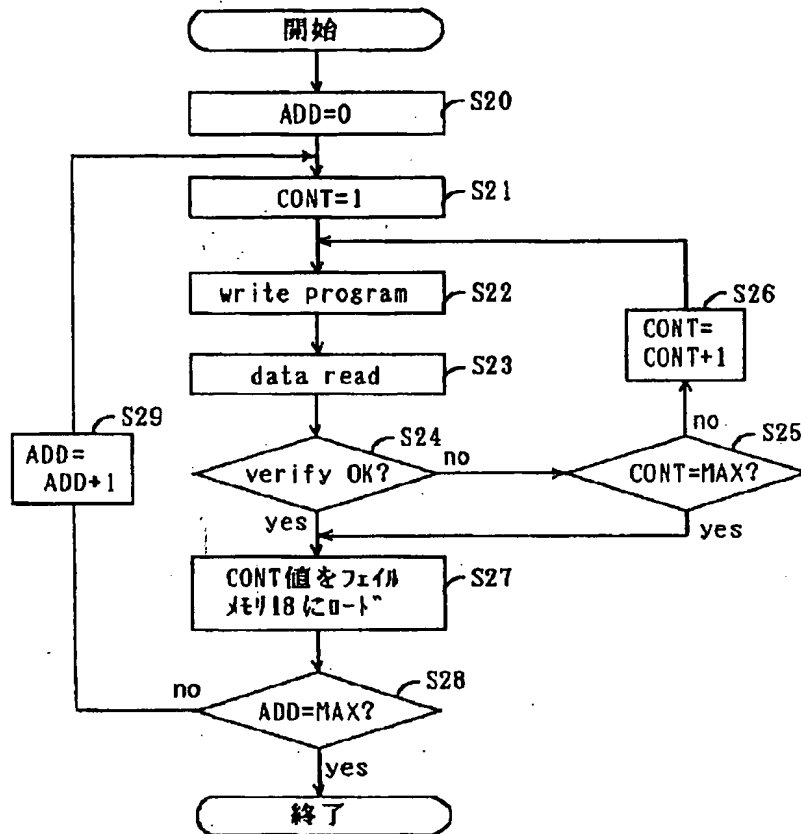
【図4】



【図2】

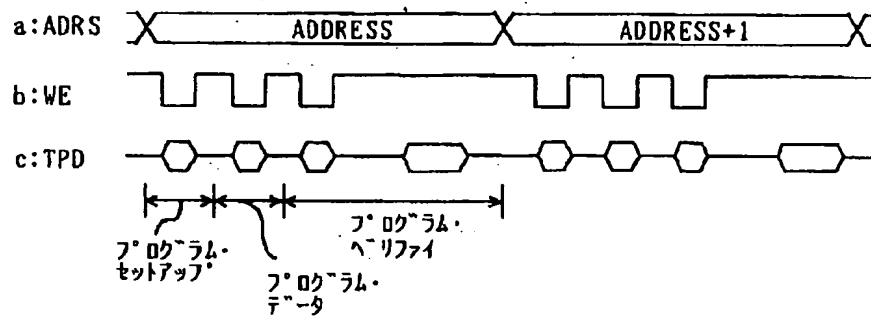


【図3】



【図5】

(A)



(B)

